

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

Requested Patent JP62016535A
Title: ELECTRONIC DEVICE ;
Abstracted Patent JP62016535 ;
Publication Date: 1987-01-24 ;
Inventor(s): SUZUKI HIDEO ;
Applicant(s): AGENCY OF IND SCIENCE _TECHNOL ;
Application Number: JP19850155261 19850716 ;
Priority Number(s): ;
IPC Classification: H01L21/60 ;
Equivalents: JP1620578C, JP3008110B

ABSTRACT:

PURPOSE: To enable the mounting of integral circuit chips in a high degree of density with a simple constitution, to reduce the delay of signal as well as to perform a high-speed signal processing by a method wherein the integrated circuit chips are raised up on a card and a card unit mounted by bonding the part in the vicinity of the side face opposing to the card is provided.

CONSTITUTION: Integrated circuit chips 2 raised up on a card 1, they are three- dimensionally arranged and bonded, and a wiring module 4 whereon a wiring which connects the integral circuit chips 2 is attached to the side face of the arranged integrated circuit chips 2. As the integrated circuit chips are arranged three-dimensionally, the mounting density of the integrated circuit chips can be improved much more than of the conventional two-dimensional arrangement, and the degree of delay of signal between the integrated circuit chips can also be reduced, thereby enabling to perform a high-speed signal processing.

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭62-16535

⑤ Int.Cl.⁴

識別記号

庁内整理番号

④ 公開 昭和62年(1987)1月24日

H 01 L 21/60

6732-5F

審査請求 有 発明の数 1 (全5頁)

⑥ 発明の名称 電子装置

⑪ 特 願 昭60-155261

⑬ 出 願 昭60(1985)7月16日

⑦ 発 明 者 鈴木 秀 雄 川崎市中原区上小田中1015番地 富士通株式会社内

⑧ 出 願 人 工業技術院長

明 細 書

1 発明の名称

電子装置

2 特許請求の範囲

集積回路チップをカード上に起立させ且つそのカードと対向する側面近傍をボンディングすることに依り実装したカード・ユニットを備えてなることを特徴とする電子装置。

3 発明の詳細な説明

〔概要〕

本発明は、多数の集積回路チップが高密度で実装された電子装置に於いて、集積回路チップをカード上に起立させ且つそのカードと対向する集積回路チップの側面近傍をボンディングして実装したカード・ユニットを備えるようにすることに依り、集積回路チップを3次元的に配列して実装の高密度化を図り、しかも、集積回路チップ間の信号遅延を低減して高速の信号処理を可能とするようにしたものである。

〔産業上の利用分野〕

本発明は、コンピュータや各種デジタル信号処理装置など高密度で実装された多数の集積回路チップを有する電子装置に関する。

〔従来の技術〕

一般に、この種の電子装置では、集積回路チップを高密度に、しかも、浮遊インダクタンスが小さくなるように実装する為、フリップ・チップ・ボンディング法を採用している。

従来のフリップ・チップ・ボンディング法によれば、カード上に複数の集積回路チップを平面的、即ち、2次元的に配列してボンディングを行っている。

第5図は従来例を説明する為の要部斜面図を示している。

図に於いて、1はカード、2は集積回路チップ、3は集積回路チップ2間を結ぶ為のカード1上に形成された配線をそれぞれ示している。

〔発明が解決しようとする問題点〕

第5図に見られる従来のカード・ユニットでは

集積回路チップ2が2次元的に配列されているので、カード1の面積は集積回路チップ2の総面積よりも必ず大きくなり、カード1上に存在する集積回路チップ2の数が多くなると、離れた集積回路チップ2間を接続した場合の配線が長くなり信号の遅延が大になり、コンピュータや各種デジタル信号処理装置などでは高速信号処理が不可能になる。

本発明は、極めて簡単な構成で集積回路チップを高密度で実装することを可能にし、集積回路チップ間の信号遅延を低減させ、高速信号処理を可能にした電子装置を提供する。

(問題点を解決するための手段)

本発明一実施例を解説する為の第1図を借りて説明する。

本発明に依る電子装置では、集積回路チップ2をカード1上に起立させ且つそのカード1と対向する集積回路チップ2の側面近傍をボンディングすることに依り実装したカード・ユニットを備える構成を採っている。

ことである。

第1図に見られる実施例が第5図について説明した従来例に比較して集積回路チップ2の実装密度が向上していることは言うまでもなく、また、同一数の集積回路チップ2を実装した場合、平均的にはほぼ実装密度の平方根に逆比例して集積回路チップ2間の信号遅延を改善できるので、この点に関する本実施例の改善効果は顕著であり、しかも、集積回路チップ2に於ける側面のうち、カード1に面していない側面には配線モジュール4を取り付けることに依って集積回路チップ2間を最短距離で結ぶのに大きく寄与することが可能となり、更に、集積回路チップ2の一部を利用して配線モジュール4間を接続することもできる。

第2図はカード・ユニットの要部分解斜断面図を表し、第1図及び第5図に於いて用いた記号と同記号は同部分を表すか或いは同じ意味を持つものとする。

図に於いて、1Aはカード1に於けるボンディング・パッド、2Aは集積回路チップ2に於ける

(作用)

このような手段を採ると、集積回路チップ2は3次元的に配列されるので従来技術に依る2次元的な配列のものと比較すると実装の密度は著しく向上し、しかも、集積回路チップ2間の信号遅延は低減されて高速の信号処理が可能である。

(実施例)

第1図は本発明一実施例に於けるカード・ユニットの要部斜断面図を表し、第5図に於いて用いた記号と同記号は同部分を表すか或いは同じ意味を持つものとする。

図に於いて、4は集積回路チップ2の側面に設置された配線モジュールを示している。

本実施例が第5図に関して説明した従来のカード・ユニットと相違する点は、図からも明らかのように、集積回路チップ2をカード1上に起立させ3次元的に配列してボンディングしてあり、また、配列された集積回路チップ2の側面には、それら集積回路チップ2間を接続する配線が形成されている配線モジュール4が取り付けられている

ボンディング・パッド、4Aは配線モジュール4に於けるボンディング・パッド、4Bは配線モジュール4に於ける配線、5は半田材をそれぞれ示している。

第3図は集積回路チップ2をカード1に固着する場合を説明する為の要部分解側面図を表し、第1図及び第2図及び第5図に於いて用いた記号と同記号は同部分を表すか或いは同じ意味を持つものとする。

図では、左端の集積回路チップ2は1枚のみでカード1にボンディングする状態を例示しているが、他は2枚を背中合せに貼着してからカード1にボンディングする状態を示している。尚、集積回路チップ2が1枚のみの場合は通常の信号用を兼ねたボンディング・パッド2Aの他に保持用のボンディング・パッド2Bが必要である。

さて、第2図及び第3図に於いて、カード1に於けるボンディング・パッド1A、配線モジュール4に於けるボンディング・パッド4Aなどには必要に応じて半田材5を流着法にて付着させたり、

或いは、半田ボールなどの半田材5を付着させておき、これ等の半田材5を用いて集積回路チップ2をカード1上に起立した状態で溶着固定し、また、必要に応じて集積回路チップ2に於けるカード1に面していない側面に配線モジュール4を溶着固定するものである。尚、カード1及び配線モジュール4の材料としては、シリコン基板、セラミック基板、ポリイミドのフレキシブル・ケーブル等を用いることができる。

第4図は第1図乃至第3図に関して説明したカード・ユニットの複数を実装したボード・ユニットの要部側面図を表し、第1図乃至第3図に於いて用いた記号と同記号は同部分を表すか或いは同じ意味を持つものとする。

図に於いて、6はカード・ユニットを搭載するボードを示している。

図では、二つのカード・ユニットを背中合せにしてボード6に実装してある。尚、配線モジュール4は省略してあり、また、カード・ユニットをボード6に実装するのは従来の方法を適用して良

い。

(発明の効果)

本発明に依る電子装置では、集積回路チップをカード上に起立させ且つそのカードと対向する側面近傍をボンディングすることにより実装したカード・ユニットを備える構成になっている。

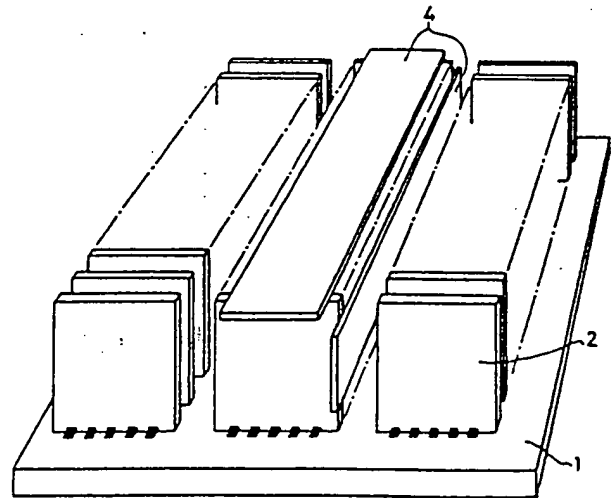
この構成に依ると、集積回路チップは3次元的に配列されるから、従来の2次元的な配列のものと比較すると実装密度は著しく向上し、また、集積回路チップ間の信号遅延も小さくなるから高速の信号処理が可能となり、コンピュータやデジタル信号処理装置として好適である。

4 図面の簡単な説明

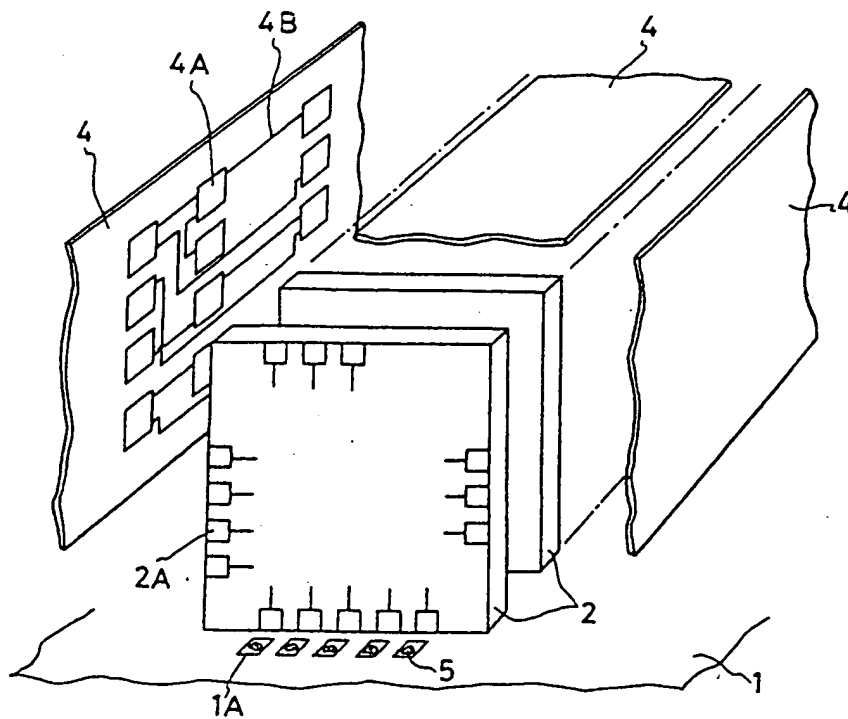
第1図は本発明一実施例に於けるカード・ユニットの要部斜断面図、第2図はカード・ユニットの要部分解斜断面図、第3図は集積回路チップをカードに固着する場合を説明する為の要部分解側面図、第4図はボード・ユニットの要部側面図、第5図は従来技術に依るカード・ユニットの要部斜断面図をそれぞれ表している。

図に於いて、1はカード、2は集積回路チップ、3は配線、4は配線モジュール、5は半田材、6はボード、1Aはカード1に於けるボンディング・パッド、2Aは集積回路チップ2に於けるボンディング・パッド、4Aは配線モジュール4に於けるボンディング・パッド、4Bは配線モジュール4に於ける配線をそれぞれ示している。

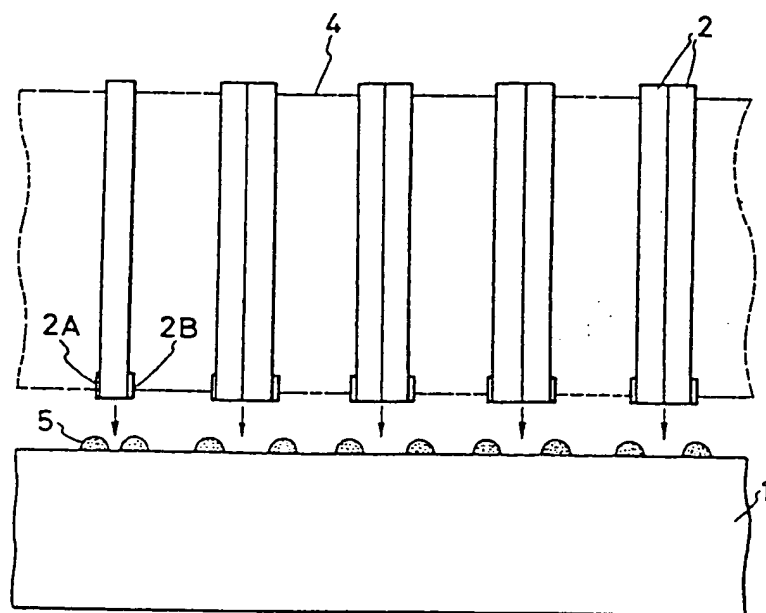
特許出願人 工業技術院長 等々力 達



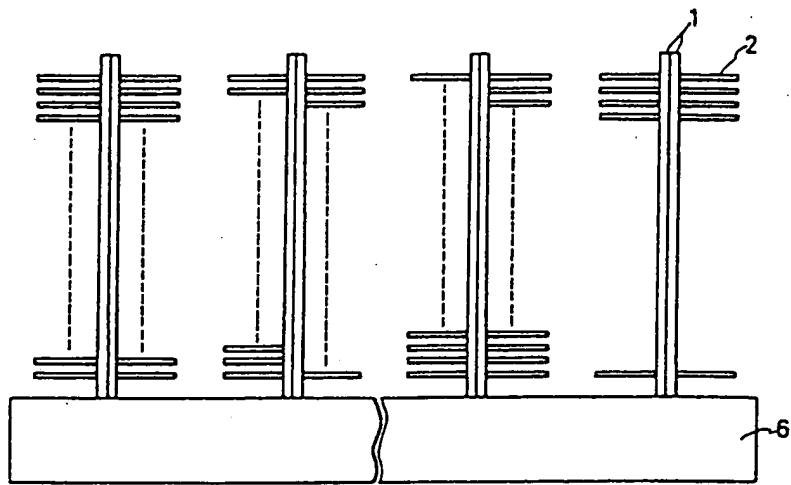
本発明一実施例の要部斜断面図
第1図



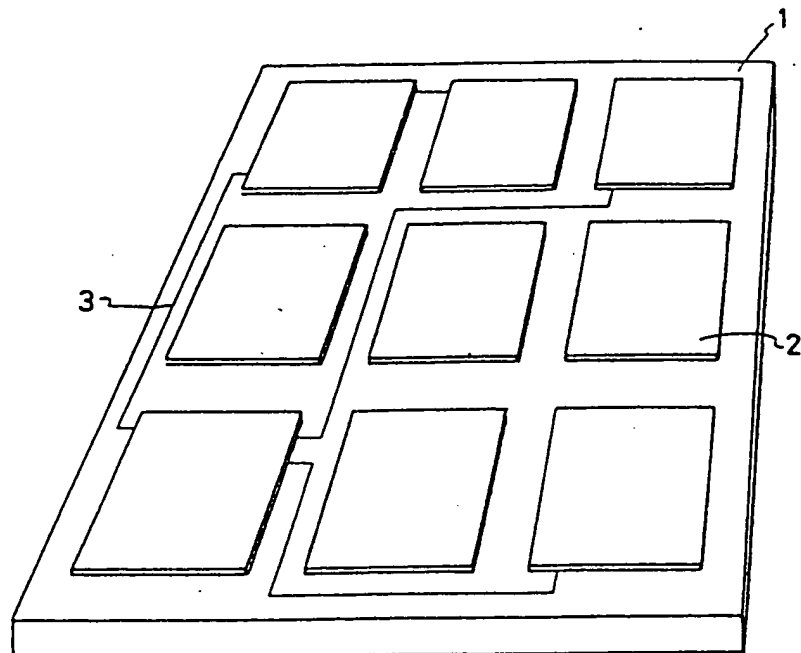
カードユニットの要部分解斜面図
第 2 図



チップをカードに固着する場合を説明する要部側面図
第 3 図



ボードユニットの要部側面図
第 4 図



カードユニットの要部斜面図
第 5 図